

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-327491

(43)Date of publication of application : 26.11.1999

(51)Int.Cl.

609G 3/20

609G 3/28

(21)Application number : 10-127132

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 11.05.1998

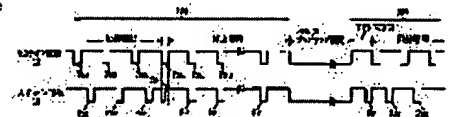
(72)Inventor : WAKABAYASHI SHUNICHI  
TOMITA KAZUO  
NAKATSUJI MASANORI  
OHIRA KAZUO  
HASHIGUCHI JUNPEI

## (54) DISPLAY DEVICE, AND ITS DRIVING METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a display device in which power consumption is reduced and occurrence of animation pseudo contour is reduced or prevented, and its driving method.

**SOLUTION:** Each field is divided into temporally a light emitting period and a pulse blanking period, and each light emitting period is divided into temporally plural sub-fields. In a pulse blanking period, a pulse is not applied to a scan electrode 12 and a sustain-electrode 13, and voltage of the scan electrode 12 and the sustain-electrode 13 is held at the prescribed level. In non-light emitting periods set in each field, as at least voltage of a second electrode is held at the prescribed level or potential difference between the first electrode and the second electrode is held constant, a charge/discharge current is reduced. Therefore, power consumption of the display device is reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-327491

(43) 公開日 平成11年(1999)11月26日

(51) IntCl.<sup>6</sup>  
G 0 9 G 3/20  
3/28

識別記号  
6 4 1

F I  
G 0 9 G 3/20 6 4 1 E  
6 4 1 R  
3/28 K  
H

審査請求 未請求 請求項の数21 O L (全 20 頁)

(21) 出願番号 特願平10-127132

(22) 出願日 平成10年(1998)5月11日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 若林 俊一

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 富田 和男

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 中辻 正則

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 弁理士 滝本 智之 (外1名)

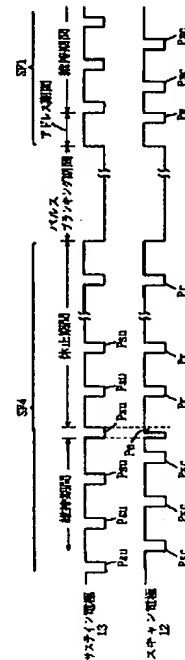
最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【要約】

【課題】 消費電力が低減されかつ動画疑似輪隔の発生が低減または防止された表示装置およびその駆動方法を提供する。

【解決手段】 各フィールドを発光期間とパルスブランキング期間とに時間的に分割し、各発光期間を複数のサブフィールドに時間的に分割する。パルスブランキング期間には、スキャン電極12およびサステイン電極13にパルスを印加せず、スキャン電極12およびサステイン電極13の電圧を所定のレベルに保つ。



## 【特許請求の範囲】

【請求項 1】 少なくとも第 1 および第 2 の電極を有する複数の放電セルと、

各放電セルに設定される各フィールドを発光期間と非発光期間とに時間的に分割する分割手段と、

前記分割手段により各放電セルに設定された発光期間において当該放電セルの前記第 1 の電極に第 1 のパルス電圧を周期的に印加する第 1 の電圧印加手段と、

前記分割手段により各放電セルに設定された発光期間において当該放電セルの前記第 2 の電極に第 2 のパルス電圧を周期的に印加するとともに、前記分割手段により各放電セルに設定された非発光期間において当該放電セルの前記第 2 の電極の電圧を所定のレベルに保つ第 2 の電圧印加手段とを備えたことを特徴とする表示装置。

【請求項 2】 前記第 1 の電圧印加手段は、前記分割手段により各放電セルに設定された非発光期間において当該放電セルの前記第 1 の電極の電圧を所定のレベルに保つことを特徴とする請求項 1 記載の表示装置。

【請求項 3】 少なくとも第 1 および第 2 の電極を有する複数の放電セルと、

各放電セルに設定される各フィールドを発光期間と非発光期間とに時間的に分割する分割手段と、

各放電セルの前記第 1 の電極に第 1 のパルス電圧を周期的に印加する第 1 の電圧印加手段と、

前記分割手段により各放電セルに設定された発光期間において、当該放電セルの前記第 2 の電極に前記第 1 のパルス電圧と異なる位相を有する第 2 のパルス電圧を周期的に印加し、前記分割手段により各放電セルに設定された非発光期間において当該放電セルの前記第 2 の電極に前記第 1 のパルス電圧と同じ位相を有するパルス電圧を周期的に印加する第 2 の電圧印加手段とを備えたことを特徴とする表示装置。

【請求項 4】 前記分割手段は、各フィールドの発光期間を複数のサブフィールドに時間的に分割することを特徴とする請求項 1、2 または 3 記載の表示装置。

【請求項 5】 前記分割手段は、各フィールドの発光期間におけるサブフィールド間に非発光期間をさらに設定することを特徴とする請求項 4 記載の表示装置。

【請求項 6】 前記分割手段は、階調数、1 階調ごとの発光回数、サブフィールドの数および 1 フィールドの時間のうち少なくとも 1 つに基づいて前記非発光期間を可変に設定することを特徴とする請求項 4 または 5 記載の表示装置。

【請求項 7】 前記非発光期間を任意の時点で強制的に設定する設定手段をさらに備えたことを特徴とする請求項 1 ～ 6 のいずれかに記載の表示装置。

【請求項 8】 第 1 の方向に配列された複数の第 1 の電極と、

前記複数の第 1 の電極とそれぞれ対になるように前記第 1 の方向に配列された複数の第 2 の電極と、

前記第 1 の方向と交差する第 2 の方向に配列された複数の第 3 の電極と、

前記複数の第 1 の電極、前記複数の第 2 の電極および前記複数の第 3 の電極の交点に設けられた複数の放電セルと、

各対の第 1 および第 2 の電極ごとに設定される各フィールドを発光期間と非発光期間とに時間的に分割する分割手段と、

前記分割手段により各第 1 の電極に設定された発光期間において当該第 1 の電極に第 1 のパルス電圧を周期的に印加する第 1 の電圧印加手段と、

前記分割手段により各第 2 の電極に設定された発光期間において当該第 2 の電極に第 2 のパルス電圧を周期的に印加するとともに、前記分割手段により各第 2 の電極に設定された非発光期間において当該第 2 の電極の電圧を所定のレベルに保つ第 2 の電圧印加手段とを備えたことを特徴とする表示装置。

【請求項 9】 前記第 1 の電圧印加手段は、前記分割手段により各第 1 の電極に設定された非発光期間において当該第 1 の電極の電圧を所定のレベルに保つことを特徴とする請求項 8 記載の表示装置。

【請求項 10】 第 1 の方向に配列された複数の第 1 の電極と、

前記複数の第 1 の電極とそれぞれ対になるように前記第 1 の方向に配列された複数の第 2 の電極と、

前記第 1 の方向と交差する第 2 の方向に配列された複数の第 3 の電極と、

前記複数の第 1 の電極、前記複数の第 2 の電極および前記複数の第 3 の電極の交点に設けられた複数の放電セルと、

各対の第 1 および第 2 の電極ごとに設定される各フィールドを発光期間と非発光期間とに時間的に分割する分割手段と、

前記複数の第 1 の電極に第 1 のパルス電圧を周期的に印加する第 1 の電圧印加手段と、

前記分割手段により各第 2 の電極に設定された発光期間において当該第 2 の電極に前記第 1 のパルス電圧と同じ位相を有する第 2 のパルス電圧を周期的に印加し、前記分割手段により各第 2 の電極に設定された非発光期間において当該第 2 の電極に前記第 1 のパルス電圧と同じ位相を有するパルス電圧を周期的に印加する第 2 の電圧印加手段とを備えたことを特徴とする表示装置。

【請求項 11】 前記分割手段は、各フィールドの発光期間を複数のサブフィールドに時間的に分割することを特徴とする請求項 8、9 または 10 記載の表示装置。

【請求項 12】 各第 2 の電極ごとに設定される発光期間前のアドレス期間に画像データに応じて発光させるべき放電セルを選択するための第 3 のパルス電圧を該当する第 3 の電極に印加する第 3 の電圧印加手段をさらに備え、

前記第 2 の電圧印加手段は、前記アドレス期間に第 4 のパルス電圧を当該第 2 の電極に印加することを特徴とする請求項 8 ～ 1 1 のいずれかに記載の表示装置。

【請求項 1 3】 少なくとも第 1 および第 2 の電極を有する複数の放電セルを備えた表示装置の駆動方法であって、各放電セルに設定される各フィールドを発光期間と非発光期間とに時間的に分割し、各放電セルに設定された発光期間において当該放電セルの前記第 1 の電極に第 1 のパルス電圧を周期的に印加するとともに当該放電セルの前記第 2 の電極に第 2 のパルス電圧を周期的に印加し、各放電セルに設定された非発光期間において当該放電セルの前記第 2 の電極の電圧を所定のレベルに保つことを特徴とする表示装置の駆動方法。

【請求項 1 4】 各放電セルに設定された非発光期間において当該放電セルの前記第 1 の電極の電圧を所定のレベルに保つことを特徴とする請求項 1 3 記載の表示装置の駆動方法。

【請求項 1 5】 少なくとも第 1 および第 2 の電極を有する複数の放電セルを備えた表示装置の駆動方法であって、各放電セルに設定される各フィールドを発光期間と非発光期間とに時間的に分割し、各放電セルの前記第 1 の電極に第 1 のパルス電圧を周期的に印加するとともに、各放電セルに設定された発光期間において当該放電セルの前記第 2 の電極に前記第 1 のパルス電圧と異なる位相を有する第 2 のパルス電圧を周期的に印加し、各放電セルに設定された非発光期間において当該放電セルの前記第 2 の電極に前記第 1 のパルス電圧と同じ位相を有するパルス電圧を周期的に印加することを特徴とする表示装置の駆動方法。

【請求項 1 6】 各フィールドの発光期間を複数のサブフィールドに時間的に分割することを特徴とする請求項 1 3、1 4 または 1 5 記載の表示装置の駆動方法。

【請求項 1 7】 第 1 の方向に配列された複数の第 1 の電極と、前記複数の第 1 の電極とそれぞれ対になるように前記第 1 の方向に配列された複数の第 2 の電極と、前記第 1 の方向と交差する第 2 の方向に配列された複数の第 3 の電極と、前記複数の第 1 の電極、前記複数の第 2 の電極および前記複数の第 3 の電極の交点に設けられた複数の放電セルとを備えた表示装置の駆動方法であって、

各対の第 1 および第 2 の電極ごとに設定される各フィールドを発光期間と非発光期間とに時間的に分割し、各第 1 の電極に設定された発光期間において当該第 1 の電極に第 1 のパルス電圧を周期的に印加するとともに各第 2 の電極に設定された発光期間において当該第 2 の電極に第 2 のパルス電圧を周期的に印加し、各第 2 の電極に設定された非発光期間において当該第 2 の電極の電圧を所定のレベルに保つことを特徴とする表示装置の駆動方

法。

【請求項 1 8】 各第 1 の電極に設定された非発光期間において当該第 1 の電極の電圧を所定のレベルに保つことを特徴とする請求項 1 7 記載の表示装置の駆動方法。

【請求項 1 9】 第 1 の方向に配列された複数の第 1 の電極と、前記複数の第 1 の電極とそれぞれ対になるように前記第 1 の方向に配列された複数の第 2 の電極と、前記第 1 の方向と交差する第 2 の方向に配列された複数の第 3 の電極と、前記複数の第 1 の電極、前記複数の第 2 の電極および前記複数の第 3 の電極の交点に設けられた複数の放電セルとを備えた表示装置の駆動方法であって、

各対の第 1 および第 2 の電極ごとに設定される各フィールドを発光期間と非発光期間とに時間的に分割し、前記複数の第 1 の電極に第 1 のパルス電圧を周期的に印加するとともに、各第 2 の電極に設定された発光期間において当該第 2 の電極に前記第 1 のパルス電圧と異なる位相を有する第 2 のパルス電圧を周期的に印加し、各第 2 の電極に設定された非発光期間において当該第 2 の電極に前記第 1 のパルス電圧と同じ位相を有するパルス電圧を周期的に印加することを特徴とする表示装置の駆動方法。

【請求項 2 0】 各フィールドの発光期間を複数のサブフィールドに時間的に分割することを特徴とする請求項 1 7、1 8 または 1 9 記載の表示装置の駆動方法。

【請求項 2 1】 各第 2 の電極ごとに設定される発光期間前のアドレス期間に画像データに応じて発光させるべき放電セルを選択するための第 3 のパルス電圧を該当する第 3 の電極に印加するとともに第 4 のパルス電圧を当該第 2 の電極に印加することを特徴とする請求項 1 7 ～ 2 0 のいずれかに記載の表示装置の駆動方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 本発明は、放電を制御することにより画像を表示する表示装置およびその駆動方法に関する。

【0 0 0 2】

【従来の技術】 PDP（プラズマディスプレイパネル）を用いたプラズマディスプレイ装置は、薄型化および大画面化が可能であるという利点を有する。このプラズマディスプレイ装置では、ガス放電の際の発光を利用することにより画像を表示している。

【0 0 0 3】 図 1 4 は AC 型 PDP における放電セルの駆動方法を説明するための図である。図 1 4 に示すように、AC 型 PDP の放電セルにおいては、対向する電極 3 0 1、3 0 2 の表面がそれぞれ誘電体層 3 0 3、3 0 4 で覆われている。

【0 0 0 4】 図 1 4 (a) に示すように、電極 3 0 1、3 0 2 間に放電開始電圧よりも低い電圧を印加した場合

電極 301、302 間に放電開始電圧よりも高いパルス状の電圧（書き込みパルス）を印加すると、放電が発生する。放電が発生すると、負電荷は電極 301 の方向に進んで誘電体層 303 の壁面に蓄積され、正電荷は電極 302 の方向に進んで誘電体層 304 の壁面に蓄積される。誘電体層 303、304 の壁面に蓄積された電荷を壁電荷と呼ぶ。また、この壁電荷により誘起された電圧を壁電圧と呼ぶ。

【0005】図 14 (c) に示すように、誘電体層 301 の壁面には負の壁電荷が蓄積され、誘電体層 302 の壁面には正の壁電荷が蓄積される。この場合、壁電圧の極性は、外部印加電圧の極性と逆向きであるため、放電の進行に従って放電空間内における実効電圧が低下し、放電は自動的に停止する。

【0006】図 14 (d) に示すように、外部印加電圧の極性を反転させると、壁電圧の極性が外部印加電圧の極性と同じ向きになるため、放電空間内における実効電圧が高くなる。このときの実効電圧が放電開始電圧を超えると、逆極性の放電が発生する。それにより、正電荷が電極 301 の方向に進み、すでに誘電体層 303 に蓄積されている負の壁電荷を中和し、負電荷が電極 302 の方向に進み、すでに誘電体層 304 に蓄積されている正の壁電荷を中和する。

【0007】そして、図 14 (e) に示すように、誘電体層 303、304 の壁面にそれぞれ正および負の壁電荷が蓄積される。この場合、壁電圧の極性が外部印加電圧の極性と逆向きであるため、放電の進行に従って放電空間内における実効電圧が低下し、放電が停止する。

【0008】さらに、図 14 (f) に示すように、外部印加電圧の極性を反転させると、逆極性の放電が発生し、負電荷は電極 301 の方向に進み、正電荷は電極 302 の方向に進み、図 14 (c) の状態に戻る。

【0009】このように、放電開始電圧よりも高い書き込みパルスを印加することにより一旦放電が開始された後は、壁電荷の働きにより放電開始電圧よりも低い外部印加電圧（維持パルス）の極性を反転させることにより放電を持続させることができる。書き込みパルスを印加することにより放電を開始させることをアドレス放電と呼び、交互に反転する維持パルスを印加することにより放電を持続させることを維持放電と呼ぶ。

【0010】図 14 (g) に示すように、電極 301、302 間に壁電圧と逆極性の消去パルスを印加することにより誘電体層 303、304 の壁面に蓄積された壁電荷を消滅させて放電を終了させることができる。この消去パルスのパルス幅は、残留壁電荷を打ち消すことができかつ新たに逆極性の壁電荷を蓄積することができないように狭く設定される。一旦壁電荷が消滅すると、図 14 (h) に示すように、次の維持パルスを印加しても放電は発生しない。

【0011】図 15 は従来のプラズマディスプレイ装置

の主として PDP（プラズマディスプレイパネル）の構成を示す模式図である。

【0012】図 15 に示すように、PDP 1 は、複数のアドレス電極 11、複数のスキャン電極（走査電極）12 および複数のサステイン電極（維持電極）13 を含む。複数のアドレス電極 11 は画面の垂直方向に配列され、複数のスキャン電極 12 および複数のサステイン電極 13 は画面の水平方向に配列されている。複数のサステイン電極 13 は共通に接続されている。

【0013】アドレス電極 11、スキャン電極 12 およびサステイン電極 13 の各交点に放電セルが形成されている。各放電セルが画面上の画素を構成する。

【0014】アドレスドライバ 2 は、画像データに応じて複数のアドレス電極 11 を駆動する。スキャンドライバ 3 は、複数のスキャン電極 12 を順に駆動する。サステインドライバ 4 は、複数のサステイン電極 13 を共通に駆動する。

【0015】図 16 は AC 型 PDP における 3 電極面放電セルの模式的断面図である。図 16 に示す放電セル 100 においては、表面ガラス基板 101 上に対になるスキャン電極 12 およびサステイン電極 13 が水平方向に形成され、それらのスキャン電極 12 およびサステイン電極 13 は透明誘電体層 102 および保護層 103 で覆われている。一方、表面ガラス基板 101 に対向する裏面ガラス基板 104 上にはアドレス電極 11 が垂直方向に形成され、アドレス電極 11 上には透明誘電体層 105 が形成されている。透明誘電体層 105 上には蛍光体 106 が塗布されている。

【0016】この放電セル 100 では、アドレス電極 11 とスキャン電極 12 との間に書き込みパルスを印加することによりアドレス電極 11 とスキャン電極 12 との間でアドレス放電が発生した後、スキャン電極 12 とサステイン電極 13 との間に交互に反転する周期的な維持パルスを印加することによりスキャン電極 12 とサステイン電極 13 との間で維持放電が行われる。

【0017】AC 型 PDP における階調表示駆動方式としては、ADS (Address and Displayperiod Separate ; アドレス・表示期間分離) 方式が用いられている。図 17 は ADS 方式を説明するための図である。図 17 の縦軸は第 1 ラインから第 m ラインまでのスキャン電極の走査方向（垂直走査方向）を示し、横軸は時間を示す。

【0018】ADS 方式では、1 フィールド（1/60 秒 = 16.67 ms）を複数のサブフィールドに時間的に分割する。例えば、8 ビットで 256 階調表示を行なう場合には、1 フィールドを 8 つのサブフィールドに分割する。また、各サブフィールドは、点灯セル選択のためのアドレス放電が行なわれるアドレス期間と、表示のための維持放電が行なわれる維持期間とに分離される。

【0019】図 17 の例では、1 フィールドが 4 つのサ

ブフィールドSF1, SF2, SF3, SF4に時間的に分割されている。サブフィールドSF1はアドレス期間AD1と維持期間SUS1とに分離され、サブフィールドSF2はアドレス期間AD2と維持期間SUS2とに分離され、サブフィールドSF3はアドレス期間AD3と維持期間SUS3とに分離され、サブフィールドSF4はアドレス期間AD4と維持期間SUS4とに分離されている。

【0020】ADS方式では、各サブフィールドで第1ラインから第mラインまでPDPの全面にアドレス放電による走査が行なわれ、全面のアドレス放電の終了時に維持放電が行われる。すなわち、維持期間はアドレス期間を除く期間に設定される。そのため、1フィールド中に占める維持期間の割合は30%程度と小さくなり、高輝度化に限界がある。

【0021】そこで、PDPの高輝度化を図るために、アドレス・サステイン同時駆動方式(信学技報: TECHNICAL REPORT OF IEICE, EID96-71, ED96-149, SDM96-175(1997-01), PP. 19-24)が提案されている。図18はアドレス・サステイン同時駆動方式を説明するための図である。図18の縦軸は第1ラインから第mラインまでのスキヤン電極の走査方向(垂直走査方向)を示し、横軸は時間を示す。

【0022】アドレス・サステイン同時駆動方式では、各ラインごとにアドレス放電に続いて維持放電が開始される。図18の例では、1フィールドが4つのサブフィールドSF1, SF2, SF3, SF4に時間的に分割され、各サブフィールドSF1~SF4がそれぞれアドレス期間AD1~AD4と維持期間SUS1~SUS4とを含む。

【0023】各サブフィールドSF1~SF4において、各ラインごとにアドレス期間AD1~AD4に続いて維持期間SUS1~SUS4が設定されている。そのため、1フィールドのほぼすべてが維持期間となり、高輝度化が可能となる。

【0024】図19は従来のアドレス・サステイン同時駆動方式による各電極の駆動電圧を示すタイミングチャートである。図19では、サステイン電極13、第nライン~第(n+3)ラインのスキヤン電極12およびアドレス電極11の駆動電圧が示されている。ここで、nは任意の整数である。

【0025】図19において、サステイン電極13には、一定周期でサステインパルスP<sub>su</sub>が印加される。アドレス期間には、スキヤン電極12に書き込みパルスP<sub>w</sub>が印加される。この書き込みパルスP<sub>w</sub>に同期してアドレス電極11に書き込みパルスP<sub>wa</sub>が印加される。アドレス電極11に印加される書き込みパルスP<sub>wa</sub>のオンオフは、表示する画像の各画素に応じて制御される。書き込みパルスP<sub>w</sub>と書き込みパルスP<sub>wa</sub>とが同時に印加されると、スキヤン電極12とアドレス電極

11との交点の放電セルでアドレス放電が発生し、その放電セルが点灯する。

【0026】アドレス期間後の維持期間には、スキヤン電極12に一定周期で維持パルスP<sub>sc</sub>が印加される。スキヤン電極12に印加される維持パルスP<sub>sc</sub>の位相はサステイン電極13に印加されるサステインパルスP<sub>su</sub>の位相に対して180度ずれている。この場合、アドレス放電で点灯した放電セルにおいてのみ維持放電が発生する。

【0027】各サブフィールドの終了時には、スキヤン電極12に消去パルスP<sub>e</sub>が印加される。それにより、各放電セルの壁電荷が消滅し、維持放電が終了する。消去パルスP<sub>e</sub>の印加後、次のサブフィールドの開始前までの間にスキヤン電極12に一定周期で休止パルスP<sub>r</sub>が印加される。消去パルスP<sub>e</sub>の印加から次のサブフィールドの開始までの期間を休止期間と呼ぶ。

【0028】

【発明が解決しようとする課題】上記の従来のアドレス・サステイン同時駆動方式では、1フィールドのほぼ全てが維持期間となるため、高輝度化が可能となる。しかしながら、図18に示したように、1フィールドを複数のサブフィールドに時分割してそれらのサブフィールドを重ね合わせることで表示画像の輝度を表しているため、各画素の輝度が確定するまでの発光時間が長くなる。それにより、動画の輪隔が二重に見える動画疑似輪隔と呼ばれる現象が発生する。

【0029】また、図19に示したように、サステイン電極13に常時一定周期でサステインパルスP<sub>su</sub>が印加され、スキヤン電極12に常時一定周期で維持パルスP<sub>sc</sub>または休止パルスP<sub>r</sub>が印加されるため、サステイン電極13およびスキヤン電極12での充放電電流により消費電力が増大する。

【0030】本発明の目的は、消費電力が低減されかつ動画疑似輪隔の発生が低減または防止された表示装置およびその駆動方法を提供することである。

【0031】

【課題を解決するための手段】(1)第1の発明  
第1の発明に係る表示装置は、少なくとも第1および第2の電極を有する複数の放電セルと、各放電セルに設定される各フィールドを発光期間と非発光期間とに時間的に分割する分割手段と、分割手段により各放電セルに設定された発光期間において当該放電セルの第1の電極に第1のパルス電圧を周期的に印加する第1の電圧印加手段と、分割手段により各放電セルに設定された発光期間において当該放電セルの第2の電極に第2のパルス電圧を周期的に印加するとともに、分割手段により各放電セルに設定された非発光期間において当該放電セルの第2の電極の電圧を所定のレベルに保つ第2の電圧印加手段とを備えたものである。

【0032】本発明に係る表示装置においては、各放電

セルに設定される各フィールドが発光期間と非発光期間とに時間的に分割される。発光期間には、放電セルの第1の電極に第1のパルス電圧が周期的に印加されるとともに放電セルの第2の電極に第2のパルス電圧が周期的に印加される。それにより、第1の電極と第2の電極との間で維持放電が行われる。非発光期間には、放電セルの第2の電極の電圧が所定のレベルに保たれる。それにより、第2の電極での充放電電流が低減される。

【0033】このように、各フィールドでの発光期間が圧縮されているので、各画素の輝度が確定するまでの発光時間が短縮される。したがって、動画疑似輪隔の発生が低減または防止される。また、各フィールドに設定された非発光期間において第2の電極での充放電電流が低減されるので、表示装置の消費電力が低減される。

【0034】(2) 第2の発明

第2の発明に係る表示装置は、第1の発明に係る表示装置の構成において、第1の電圧印加手段は、分割手段により各放電セルに設定された非発光期間において当該放電セルの第1の電極の電圧を所定のレベルに保つものである。

【0035】この場合、各フィールドに設定された非発光期間には、放電セルの第1の電極の電圧が所定のレベルに保たれるので、第1の電極での充放電電流が低減され、表示装置の消費電力がさらに低減される。

【0036】(3) 第3の発明

第3の発明に係る表示装置は、少なくとも第1および第2の電極を有する複数の放電セルと、各放電セルに設定される各フィールドを発光期間と非発光期間とに時間的に分割する分割手段と、各放電セルの第1の電極に第1のパルス電圧を周期的に印加する第1の電圧印加手段と、分割手段により各放電セルに設定された発光期間において当該放電セルの第2の電極に第1のパルス電圧と異なる位相を有する第2のパルス電圧を周期的に印加し、分割手段により各放電セルに設定された非発光期間において当該放電セルの第2の電極に第1のパルス電圧と同じ位相を有するパルス電圧を周期的に印加する第2の電圧印加手段とを備えたものである。

【0037】本発明に係る表示装置においては、各放電セルに設定される各フィールドが発光期間と非発光期間とに時間的に分割される。放電セルの第1の電極には第1のパルス電圧が周期的に印加される。発光期間には、放電セルの第2の電極に第1のパルス電圧と異なる位相を有する第2のパルス電圧が周期的に印加される。それにより、第1の電極と第2の電極との間で維持放電が行われる。非発光期間には、放電セルの第2の電極に第1のパルス電圧と同じ位相を有するパルス電圧が周期的に印加される。それにより、第1の電極と第2の電極との間の電位差が一定に保たれ、第1および第2の電極での充放電電流が低減される。

【0038】このように、各フィールドでの発光期間が

圧縮されているので、各画素の輝度が確定するまでの発光時間が短縮される。したがって、動画疑似輪隔の発生が低減または防止される。また、各フィールドに設定された非発光期間において第1および第2の電極での充放電電流が低減されるので、表示装置の消費電力が低減される。

【0039】(4) 第4の発明

第4の発明に係る表示装置は、第1、第2または第3の発明に係る表示装置の構成において、分割手段は、各フィールドの発光期間を複数のサブフィールドに時間的に分割するものである。

【0040】この場合、各フィールドの発光期間が複数のサブフィールドに時間的に分割されるので、階調表示が可能となる。また、各フィールドでの発光期間が圧縮されているので、各画素の輝度が確定するまでの発光時間が短縮される。したがって、動画疑似輪隔が低減または防止された階調表示の画像が得られる。

【0041】(5) 第5の発明

第5の発明に係る表示装置は、第4の発明に係る表示装置の構成において、分割手段は、各フィールドの発光期間におけるサブフィールド間に非発光期間をさらに設定するものである。この場合、消費電力がさらに低減される。

【0042】(6) 第6の発明

第6の発明に係る表示装置は、第4または第5の発明に係る表示装置の構成において、分割手段は、階調数、1階調ごとの発光回数、サブフィールドの数および1フィールドの時間のうち少なくとも1つに基づいて非発光期間を可変に設定するものである。

【0043】この場合、階調数、1階調ごとの発光回数、サブフィールドの数および1フィールドの時間の少なくとも1つに基づいて各フィールドに非発光期間が自動的に設定される。したがって、階調数、1階調ごとの発光回数、サブフィールドの数または1フィールドの時間を変更した場合にも、消費電力の低減が図られる。

【0044】(7) 第7の発明

第7の発明に係る表示装置は、第1～第6のいずれかの発明に係る表示装置の構成において、非発光期間を任意の時点で強制的に設定する設定手段をさらに備えたものである。

【0045】この場合、非発光期間を任意の時点で設定することができるので、表示画像を任意のタイミングで消去することができる。

【0046】(8) 第8の発明

第8の発明に係る表示装置は、第1の方向に配列された複数の第1の電極と、複数の第1の電極とそれぞれ対になるように第1の方向に配列された複数の第2の電極と、第1の方向と交差する第2の方向に配列された複数の第3の電極と、複数の第1の電極、複数の第2の電極および複数の第3の電極の交点に設けられた複数の放電

セルと、各対の第 1 および第 2 の電極ごとに設定される各フィールドを発光期間と非発光期間とに時間的に分割する分割手段と、分割手段により各第 1 の電極に設定された発光期間において当該第 1 の電極に第 1 のパルス電圧を周期的に印加する第 1 の電圧印加手段と、分割手段により各第 2 の電極に設定された発光期間において当該第 2 の電極に第 2 のパルス電圧を周期的に印加するとともに、分割手段により各第 2 の電極に設定された非発光期間において当該第 2 の電極の電圧を所定のレベルに保つ第 2 の電圧印加手段とを備えたものである。

【0047】本発明に係る表示装置においては、各放電セルが三電極構造を有する。各対の第 1 および第 2 の電極ごとに設定される各フィールドが発光期間と非発光期間とに時間的に分割される。発光期間には、第 1 の電極に第 1 のパルス電圧が周期的に印加されるとともに第 2 の電極に第 2 のパルス電圧が周期的に印加される。それにより、第 1 の電極と第 2 の電極との間で維持放電が行われる。非発光期間には、第 2 の電極の電圧が所定のレベルに保たれる。それにより、第 2 の電極での充放電電流が低減される。

【0048】このように、各フィールドでの発光期間が圧縮されているので、各画素の輝度が確定するまでの発光時間が短縮される。したがって、動画疑似輪隔の発生が低減または防止される。また、各フィールドに設定された非発光期間において第 2 の電極の充放電電流が低減されるので、表示装置の消費電力が低減される。

【0049】(9) 第 9 の発明

第 9 の発明に係る表示装置は、第 8 の発明に係る表示装置の構成において、第 1 の電圧印加手段は、分割手段により各第 1 の電極に設定された非発光期間において当該第 1 の電極の電圧を所定のレベルに保つものである。

【0050】この場合、各フィールドに設定された非発光期間には、第 1 の電極の電圧が所定のレベルに保たれるので、第 1 の電極での充放電電流が低減され、表示装置の消費電力がさらに低減される。

【0051】(10) 第 10 の発明

第 10 の発明に係る表示装置は、第 1 の方向に配列された複数の第 1 の電極と、複数の第 1 の電極とそれぞれ対になるように第 1 の方向に配列された複数の第 2 の電極と、第 1 の方向と交差する第 2 の方向に配列された複数の第 3 の電極と、複数の第 1 の電極、複数の第 2 の電極および複数の第 3 の電極の交点に設けられた複数の放電セルと、各対の第 1 および第 2 の電極ごとに設定される各フィールドを発光期間と非発光期間とに時間的に分割する分割手段と、複数の第 1 の電極に第 1 のパルス電圧を周期的に印加する第 1 の電圧印加手段と、分割手段により各第 2 の電極に設定された発光期間において当該第 2 の電極に第 1 のパルス電圧と異なる位相を有する第 2 のパルス電圧を周期的に印加し、分割手段により各第 2 の電極に設定された非発光期間において当該第 2 の電極

に第 1 のパルス電圧と同じ位相を有するパルス電圧を周期的に印加する第 2 の電圧印加手段とを備えたものである。

【0052】本発明に係る表示装置においては、各放電セルが 3 電極構造を有する。各対の第 1 および第 2 の電極ごとに設定される各フィールドが発光期間と非発光期間とに時間的に分割される。第 1 の電極には第 1 のパルス電圧が周期的に印加される。発光期間には、第 2 の電極に第 1 のパルス電圧と異なる位相を有する第 2 のパルス電圧が周期的に印加される。それにより、第 1 の電極と第 2 の電極との間で維持放電が行われる。非発光期間には、第 2 の電極に第 1 のパルス電圧と同じ位相を有するパルス電圧が周期的に印加される。それにより、第 1 の電極と第 2 の電極との間の電位差が一定に保たれ、第 1 および第 2 の電極での充放電電流が低減される。

【0053】このように、各フィールドでの発光期間が圧縮されているので、各画素の輝度が確定するまでの発光時間が短縮される。したがって、動画疑似輪隔の発生が低減または防止される。また、各フィールドに設定された非発光期間において第 1 および第 2 の電極の充放電電流が低減されるので、表示装置の消費電力が低減される。

【0054】(11) 第 11 の発明

第 11 の発明に係る表示装置は、第 8、第 9 または第 10 の発明に係る表示装置の構成において、分割手段は、各フィールドの発光期間を複数のサブフィールドに時間的に分割するものである。

【0055】この場合、各フィールドの発光期間が複数のサブフィールドに時間的に分割されるので、階調表示が可能となる。また、各フィールドでの発光期間が圧縮されているので、各画素の輝度が確定するまでの発光時間が短縮される。したがって、動画疑似輪隔が低減または防止された階調表示の画像が得られる。

【0056】(12) 第 12 の発明

第 12 の発明に係る表示装置は、第 8～第 11 のいずれかの発明に係る表示装置の構成において、各第 2 の電極ごとに設定される発光期間前のアドレス期間に画像データに応じて発光させるべき放電セルを選択するための第 3 のパルス電圧を該当する第 3 の電極に印加する第 3 の電圧印加手段をさらに備え、第 2 の電圧印加手段は、アドレス期間に第 4 のパルス電圧を当該第 2 の電極に印加するものである。

【0057】この場合、発光期間前のアドレス期間に、発光させるべき放電セルに対応する第 3 の電極に第 3 のパルス電圧が印加されるとともに該当する第 2 の電極に第 4 のパルス電圧が印加される。それにより、アドレス期間に第 3 のパルス電圧が印加された第 3 の電極と第 4 のパルス電圧が印加された第 2 の電極との交点の放電セルで放電が発生し、アドレス期間後の発光期間において維持放電が行われる。



## 【0058】(13) 第13の発明

第13の発明に係る表示装置の駆動方法は、少なくとも第1および第2の電極を有する複数の放電セルを備えた表示装置の駆動方法であって、各放電セルに設定される各フィールドを発光期間と非発光期間とに時間的に分割し、各放電セルに設定された発光期間において当該放電セルの第1の電極に第1のパルス電圧を周期的に印加するとともに第2の電極に第2のパルス電圧を周期的に印加し、各放電セルに設定された非発光期間において当該放電セルの第2の電極の電圧を所定のレベルに保つものである。

【0059】本発明に係る表示装置の駆動方法においては、各放電セルに設定される各フィールドが発光期間と非発光期間とに時間的に分割される。発光期間には、放電セルの第1の電極に第1のパルス電圧が周期的に印加されるとともに放電セルの第2の電極に第2のパルス電圧が周期的に印加される。それにより、第1の電極と第2の電極との間で維持放電が行われる。非発光期間には、放電セルの第2の電極の電圧が所定のレベルに保たれる。それにより、第2の電極での充放電電流が低減される。

【0060】このように、各フィールドでの発光期間が圧縮されているので、各画素の輝度が確定するまでの発光時間が短縮される。したがって、動画疑似輪隔の発生が低減または防止される。また、各フィールドに設定された非発光期間において第2の電極の充放電電流が低減されるので、表示装置の消費電力が低減される。

## 【0061】(14) 第14の発明

第14の発明に係る表示装置の駆動方法は、第13の発明に係る表示装置の駆動方法において、各放電セルに設定された非発光期間において当該放電セルの第1の電極の電圧を所定のレベルに保つものである。

【0062】この場合、各フィールドに設定された非発光期間には、放電セルの第1の電極の電圧が所定のレベルに保たれるので、第1の電極での充放電電流が低減され、表示装置の消費電力がさらに低減される。

## 【0063】(15) 第15の発明

第15の発明に係る表示装置の駆動方法は、少なくとも第1および第2の電極を有する複数の放電セルを備えた表示装置の駆動方法であって、各放電セルに設定される各フィールドを発光期間と非発光期間とに時間的に分割し、各放電セルの第1の電極に第1のパルス電圧を周期的に印加するとともに、各放電セルに設定された発光期間に当該放電セルの第2の電極に第1のパルス電圧と異なる位相を有する第2のパルス電圧を周期的に印加し、各放電セルに設定された非発光期間において当該放電セルの第2の電極に第1のパルス電圧と同じ位相を有するパルス電圧を周期的に印加するものである。

【0064】本発明に係る表示装置の駆動方法においては、各放電セルに設定される各フィールドが発光期間と

非発光期間とに時間的に分割される。放電セルの第1の電極には第1のパルス電圧が周期的に印加される。発光期間には、放電セルの第2の電極に第1のパルス電圧と異なる位相を有する第2のパルス電圧が周期的に印加される。それにより、第1の電極と第2の電極との間で維持放電が行われる。非発光期間には、放電セルの第2の電極に第1のパルス電圧と同じ位相を有するパルス電圧が周期的に印加される。それにより、第1の電極と第2の電極との間の電位差が一定に保たれ、第1および第2の電極での充放電電流が低減される。

【0065】このように、各フィールドでの発光期間が圧縮されているので、各画素の輝度が確定するまでの発光時間が短縮される。したがって、動画疑似輪隔の発生が低減または防止される。また、各フィールドに設定された非発光期間において第1および第2の電極の充放電電流が低減されるので、表示装置の消費電力が低減される。

## 【0066】(16) 第16の発明

第16の発明に係る表示装置の駆動方法は、第13、第14または第15の発明に係る表示装置の駆動方法において、各フィールドの発光期間を複数のサブフィールドに時間的に分割するものである。

【0067】この場合、各フィールドの発光期間が複数のサブフィールドに時間的に分割されるので、階調表示が可能となる。また、各フィールドでの発光期間が圧縮されているので、各画素の輝度が確定するまでの発光時間が短縮される。したがって、動画疑似輪隔が低減または防止された階調表示の画像が得られる。

## 【0068】(17) 第17の発明

第17の発明に係る表示装置の駆動方法は、第1の方向に配列された複数の第1の電極と、複数の第1の電極とそれぞれ対になるように第1の方向に配列された複数の第2の電極と、第1の方向と交差する第2の方向に配列された複数の第3の電極と、複数の第1の電極、複数の第2の電極および複数の第3の電極の交点に設けられた複数の放電セルとを備えた表示装置の駆動方法であって、各対の第1および第2の電極ごとに設定される各フィールドを発光期間と非発光期間とに時間的に分割し、各第1の電極に設定された発光期間において当該第1の電極に第1のパルス電圧を周期的に印加するとともに各第2の電極に設定された発光期間において当該第2の電極に第2のパルス電圧を周期的に印加し、各第2の電極に設定された非発光期間において当該第2の電極の電圧を所定のレベルに保つものである。

【0069】本発明に係る表示装置の駆動方法においては、各対の第1および第2の電極ごとに設定される各フィールドが発光期間と非発光期間とに時間的に分割される。発光期間には、第1の電極に第1のパルス電圧が周期的に印加されるとともに第2の電極に第2のパルス電圧が周期的に印加される。それにより、第1の電極と第

2の電極との間で維持放電が行われる。非発光期間には、第2の電極の電圧が所定のレベルに保たれる。それにより、第2の電極での充放電電流が低減される。

【0070】このように、各フィールドでの発光期間が圧縮されているので、各画素の輝度が確定するまでの発光時間が短縮される。したがって、動画疑似輪隔の発生が低減または防止される。また、各フィールドに設定された非発光期間において第2の電極の充放電電流が低減されるので、表示装置全体の消費電力が低減される。

【0071】(18)第18の発明

第18の発明に係る表示装置の駆動方法は、第17の発明に係る表示装置の駆動方法において、各第1の電極に設定された非発光期間において当該第1の電極の電圧を所定のレベルに保つものである。

【0072】この場合、各フィールドに設定された非発光期間には、第1の電極の電圧が所定のレベルに保たれるので、第1の電極での充放電電流が低減され、表示装置の消費電力がさらに低減される。

【0073】(19)第19の発明

第19の発明に係る表示装置の駆動方法は、第1の方向に配列された複数の第1の電極と、複数の第1の電極とそれぞれ対になるように第1の方向に配列された複数の第2の電極と、第1の方向と交差する第2の方向に配列された複数の第3の電極と、複数の第1の電極、複数の第2の電極および複数の第3の電極の交点に設けられた複数の放電セルとを備えた表示装置の駆動方法であって、各対の第1および第2の電極ごとに設定される各フィールドを発光期間と非発光期間とに時間的に分割し、複数の第1の電極に第1のパルス電圧を周期的に印加し、各第2の電極に設定された発光期間において当該第2の電極に第1のパルス電圧と異なる位相を有する第2のパルス電圧を周期的に印加し、各第2の電極に設定された非発光期間において当該第2の電極に第1のパルス電圧と同じ位相を有するパルス電圧を周期的に印加するものである。

【0074】本発明に係る表示装置の駆動方法においては、各対の第1および第2の電極ごとに設定される各フィールドが発光期間と非発光期間とに時間的に分割される。第1の電極には第1のパルス電圧が周期的に印加される。発光期間には、第2の電極に第1のパルス電圧と異なる位相を有する第2のパルス電圧が周期的に印加される。それにより、第1の電極と第2の電極との間で維持放電が行われる。非発光期間には、第2の電極に第1のパルス電圧と同じ位相を有するパルス電圧が周期的に印加される。それにより、第1の電極と第2の電極との間の電位差が一定に保たれ、第1および第2の電極での充放電電流が低減される。

【0075】このように、各フィールドでの発光期間が圧縮されているので、各画素の輝度が確定するまでの発光時間が短縮される。したがって、動画疑似輪隔の発生

が低減または防止される。また、各フィールドに設定された非発光期間において第1および第2の電極の充放電電流が低減されるので、表示装置全体の消費電力が低減される。

【0076】(20)第20の発明

第20の発明に係る表示装置の駆動方法は、第17、第18または第19の発明に係る表示装置の駆動方法において、各発光期間を複数のサブフィールドに時間的に分割するものである。

【0077】この場合、各フィールドの発光期間が複数のサブフィールドに時間的に分割されるので、階調表示が可能となる。また、各フィールドでの発光期間が圧縮されているので、各画素の輝度が確定するまでの発光時間が短縮される。したがって、動画疑似輪隔が低減または防止された階調表示の画像が得られる。

【0078】(21)第21の発明

第21の発明に係る表示装置の駆動方法は、第17～第20のいずれかの発明に係る表示装置の駆動方法において、各第2の電極ごとに設定される発光期間前のアドレス期間に画像データに応じて発光されるべき放電セルを選択するための第3のパルス電圧を該当する第3の電極に印加するとともに第4のパルス電圧を当該第2の電極に印加するものである。

【0079】この場合、発光期間前のアドレス期間に、発光させるべき放電セルに対応する第3の電極に第3のパルス電圧が印加されるとともに該当する第2の電極に第4のパルス電圧が印加される。それにより、アドレス期間に第3のパルス電圧が印加された第3の電極と第4のパルス電圧が印加された第2の電極との交点の放電セルで放電が発生し、アドレス期間後の発光期間において維持放電が行われる。

【0080】

【発明の実施の形態】以下、本発明に係る表示装置の一例としてプラズマディスプレイ装置について説明する。

【0081】図1は本発明の一実施例によるプラズマディスプレイ装置の構成を示すブロック図である。本実施例のプラズマディスプレイ装置では、後述する圧縮駆動方式が用いられる。

【0082】図1のプラズマディスプレイ装置は、PD P (プラズマディスプレイパネル) 1a、アドレスドライバ2、スキヤンドライバ3、サステインドライバ4、放電制御タイミング発生回路5、A/Dコンバータ (アナログ・デジタル変換器) 6、走査数変換部7およびサブフィールド変換部8を含む。

【0083】A/Dコンバータ6には映像信号VDが入力される。また、放電制御タイミング発生回路5、A/Dコンバータ6、走査数変換部7およびサブフィールド変換部8には水平同期信号Hおよび垂直同期信号Vが与えられる。

【0084】A/Dコンバータ6は、映像信号VDをデ

ジタルの画像データに変換し、その画像データを走査数変換部 7 に与える。走査数変換部 7 は、画像データを PDP 1 a の画素数に応じたライン数の画像データに変換し、各ラインごとの画像データをサブフィールド変換部 8 に与える。各ラインごとの画像データは、各ラインの複数の画素にそれぞれ対応する複数の画素データからなる。サブフィールド変換部 8 は、各ラインごとの画像データの各画素データを複数のサブフィールドに対応する複数のビットに分割し、各サブフィールドごとに各画素データの各ビットをアドレスドライバ 2 にシリアルに出10力する。

【0085】放電制御タイミング発生回路 5 は、水平同期信号 H および垂直同期信号 V を基準として放電制御タイミング信号 SC、SU を発生し、それぞれスキヤンドライバ 3 およびサステインドライバ 4 に与える。

【0086】図 2 は図 1 のプラズマディスプレイ装置の主として PDP 1 a の構成を示すブロック図である。

【0087】図 2 に示すように、PDP 1 a は、複数のアドレス電極（データ電極）11、複数のスキヤン電極（走査電極）12 および複数のサステイン電極（維持電20極）13 を含む。複数のアドレス電極 11 は画面の垂直方向に配列され、複数のスキヤン電極 12 および複数のサステイン電極 13 は画面の水平方向に配列されている。複数のサステイン電極 13 はラインごとに互いに分離されている。

【0088】アドレス電極 11、スキヤン電極 12 およびサステイン電極 13 の各交点に放電セルが形成され、各放電セルが画面上の画素を構成する。

【0089】アドレスドライバ 2 は電源回路 21 に接続されている。このアドレスドライバ 2 は、図 1 のサブフ30ィールド変換部 8 から各サブフィールドごとにシリアルに与えられるデータをパラレルデータに変換し、そのパラレルデータに基づいて複数のアドレス電極 11 を駆動する。

【0090】スキヤンドライバ 3 は出力回路 3 a およびシフトレジスタ 3 b を含む。また、サステインドライバ 4 は出力回路 4 a およびシフトレジスタ 4 b を含む。これらのスキヤンドライバ 3 およびサステインドライバ 4 は共通の電源回路 22 に接続されている。

【0091】スキヤンドライバ 3 のシフトレジスタ 3 b 40 は、図 1 の放電制御タイミング発生回路 5 から与えられる放電制御タイミング信号 SC を垂直走査方向にシフトしつつ出力回路 3 a に与える。出力回路 3 a はシフトレジスタ 3 b から与えられる放電制御タイミング信号 SC に応答して複数のスキヤン電極 12 を順に駆動する。

【0092】サステインドライバ 4 のシフトレジスタ 4 b は、図 1 の放電制御タイミング発生回路 5 から与えられる放電制御タイミング信号 SU を垂直走査方向にシフトしつつ出力回路 4 a に与える。出力回路 4 a はシフト50レジスタ 4 b から与えられる放電制御タイミング信号 S

U に応答して複数のサステイン電極 13 を順に駆動する。

【0093】本実施例では、サステインドライバ 4 および放電制御タイミング発生回路 5 が第 1 の電圧印加手段に相当し、スキヤンドライバ 3 および放電制御タイミング発生回路 5 が第 2 の電圧印加手段に相当する。また、アドレスドライバ 2 が第 3 の電圧印加手段に相当し、放電制御タイミング発生回路 5 およびサブフィールド変換部 8 が分割手段に相当し、放電制御タイミング発生回路 5 が設定手段に相当する。さらに、サステイン電極 13 が第 1 の電極に相当し、スキヤン電極 12 が第 2 の電極に相当し、アドレス電極 11 が第 3 の電極に相当する。

【0094】図 3 は図 1 のプラズマディスプレイ装置に用いられる圧縮駆動方式を説明するための図である。図 3 の縦軸は第 1 ラインから第 m ラインまでのスキヤン電極の走査方向（垂直走査方向）を示し、横軸は時間を示す。

【0095】圧縮駆動方式では、1 フィールドを発光期間とパルスブランキング期間（非発光期間）とに時間的に分割するとともに、発光期間を複数のサブフィールドに時間的に分割する。この圧縮駆動方式においても、アドレス・サステイン同時駆動方式と同様に、各ラインごとにアドレス放電に続いて維持放電が開始される。

【0096】本実施例では、発光期間が 4 つのサブフィールド SF 1、SF 2、SF 3、SF 4 に時間的に分割され、各サブフィールド SF 1～SF 4 がそれぞれアドレス期間 AD 1～AD 4 と維持期間 SUS 1～SUS 4 とを含む。

【0097】各サブフィールド SF 1～SF 4 において、各ラインごとにアドレス期間 AD 1～AD 4 に続いて維持期間 SUS 1～SUS 4 がそれぞれ設定されている。また、各ラインごとに発光期間に続いてパルスブランキング期間が設定されている。

【0098】図 4 は発光期間において PDP 1 a の各電極に印加される駆動電圧を示すタイミングチャートである。図 4 では、アドレス電極 11、サステイン電極 13 および第 n ライン～第 (n+2) ラインのスキヤン電極 12 の駆動電圧が示されている。ここで、n は任意の整数である。

【0099】図 4 に示すように、発光期間では、サステイン電極 13 に一定周期でサステインパルス  $P_{su}$  が印加される。アドレス期間には、スキヤン電極 12 に書き込みパルス  $P_w$  が印加される。この書き込みパルス  $P_w$  に同期してアドレス電極 11 に書き込みパルス  $P_{wa}$  が印加される。アドレス電極 11 に印加される書き込みパルス  $P_{wa}$  のオンオフは、表示する画像の各画素に応じて制御される。書き込みパルス  $P_w$  と書き込みパルス  $P_{wa}$  とが同時に印加されると、スキヤン電極 12 とアドレス電極 11 との交点の放電セルでアドレス放電が発生し、その放電セルが点灯する。

【0100】アドレス期間後の維持期間には、スキャン電極12に一定周期で維持パルスP<sub>sc</sub>が印加される。スキャン電極12に印加される維持パルスP<sub>sc</sub>の位相はサステイン電極13に印加されるサステインパルスP<sub>su</sub>の位相に対して180度ずれている。この場合、アドレス放電で点灯した放電セルにおいてのみ維持放電が発生する。

【0101】各サブフィールドの終了時には、スキャン電極12に消去パルスP<sub>e</sub>が印加される。それにより、各放電セルの壁電荷が消滅または維持放電が起きない程度に低減し、維持放電が終了する。消去パルスP<sub>e</sub>の印加後の休止期間には、スキャン電極12に一定周期で休止パルスP<sub>r</sub>が印加される。この休止パルスP<sub>r</sub>はサステインパルスP<sub>su</sub>と同位相になっている。

【0102】アドレス電極11に印加される書き込みパルスP<sub>wa</sub>は0Vと175Vとの間で変化する。また、サステイン電極13に印加されるサステインパルスP<sub>su</sub>は185Vと0Vとの間で変化する。各スキャン電極12に印加される書き込みパルスP<sub>w</sub>、維持パルスP<sub>sc</sub>および休止パルスP<sub>r</sub>は185Vと0Vとの間で変化する。消去パルスP<sub>e</sub>は0Vと185Vとの間で変化する。

【0103】図5は発光期間の最後のサブフィールドおよびパルスブランキング期間においてサステイン電極およびスキャン電極に印加される駆動電圧を示すタイミングチャートである。

【0104】図5に示すように、発光期間の最後のサブフィールドSF4の休止期間後にパルスブランキング期間が設定されている。パルスブランキング期間では、サステイン電極13にサステインパルスP<sub>su</sub>が印加されず、サステイン電極13の電圧が所定のレベル（本実施例では0V）に保たれる。また、このパルスブランキング期間では、スキャン電極12に休止パルスP<sub>r</sub>が印加されず、スキャン電極12の電圧が所定のレベル（本実施例では0V）に保たれる。

【0105】このように、本実施例のプラズマディスプレイ装置では、各フィールドが発光期間とパルスブランキング期間とに時間的に分割されることにより、各フィールドでの発光期間が圧縮されているので、各画素の輝度が確定するまでの発光時間が短縮される。したがって、動画疑似輪隔の発生が低減または防止される。

【0106】また、各フィールドに設定されたパルスブランキング期間においては、スキャン電極12およびサステイン電極13にパルスが印加されず、スキャン電極12およびサステイン電極13の電圧が一定のレベルに保たれる。したがって、スキャン電極12およびサステイン電極13での充放電電流が低減され、プラズマディスプレイ装置全体の消費電力が低減される。

【0107】図6および図7は図1の放電制御タイミング発生回路5の主要部の構成を示すブロック図である。

また、図8は基本パルス、サステイン電極の駆動電圧およびスキャン電極の駆動電圧を示す波形図、図9は発光期間開始信号、発光期間終了信号およびパルスブランキング信号を示す波形図である。

【0108】図8において、基本パルスP<sub>LS</sub>は、サステイン電極13に印加されるサステインパルスP<sub>su</sub>およびスキャン電極12に印加される維持パルスP<sub>sc</sub>の2分の1周期（2倍の周波数）を有する。ここで、基本パルスP<sub>LS</sub>の周期をCKとする。

【0109】図6において、信号処理部31は、表示画像の階調数、発光モード数、サブフィールド数、各サブフィールドの休止期間の時間、1V期間（1垂直走査期間）の時間および画像ミュート信号を出力する。

【0110】発光モード数は、階調レベル1での発光回数の2分の1で定義している。あるサブフィールドの重み付けが64階調で発光モード数が3であれば、そのサブフィールドの維持期間に含まれる基本パルスP<sub>LS</sub>の数（発光回数）は、 $64 \times 3 \times 2 = 384$ となる。

【0111】図6の乗算器33により発光モード数に2が乗算され、階調数と乗算器33の乗算結果とが乗算器32により乗算される。それにより、1V期間に必要な発光回数（維持期間の基本パルスP<sub>LS</sub>の数）が求められる。例えば、階調数が256で発光モード数が3の場合には、1V期間に必要な発光回数（維持期間の基本パルスP<sub>LS</sub>の数）は、 $256 \times 3 \times 2 = 1530$ となる。

【0112】次に、乗算器36により休止期間の時間に1/CKが乗算される。それにより、休止期間における基本パルスP<sub>LS</sub>の数が求められる。休止期間における基本パルスP<sub>LS</sub>の数とサブフィールド数とが乗算器35により乗算される。それにより、1V期間内の休止期間における基本パルスP<sub>LS</sub>の数が求められる。

【0113】例えば、サブフィールド数が8、休止期間が120μs、基本パルスP<sub>LS</sub>の周期CKが4μsの場合には、1V期間内の休止期間における基本パルスP<sub>LS</sub>の数は、 $8 \times 120 \div 4 = 240$ となる。

【0114】1V期間に必要な発光回数（維持期間の基本パルスP<sub>LS</sub>の数）と1V期間内の休止期間における基本パルスP<sub>LS</sub>の数とが加算器34で加算される。それにより、1V期間内の発光期間に必要な基本パルスP<sub>LS</sub>の数が求められる。

【0115】上記の例では、1V期間内の発光期間に必要な基本パルスP<sub>LS</sub>の数は、 $240 + 1530 = 1770$ となる。

【0116】1V期間内の発光期間に必要な基本パルスP<sub>LS</sub>の数は、コンパレータ37の一方の入力端子に与えられる。

【0117】1V期間における基本パルスP<sub>LS</sub>の総数から上記の1V期間内の発光期間に必要な基本パルスP<sub>LS</sub>の数を差し引くことにより、パルスブランキング期

間における基本パルスPLSの数が得られる。

【0118】上記の例では、1V期間の時間を16.7msとすると、パルスブランキング期間における基本パルスPLSの数は、 $16700/4-1770=2405$ となる。

【0119】乗算器38により1V期間の時間に1/CKが乗算される。それにより、1V期間における基本パルスPLSの総数が求められる。1V期間における基本パルスPLSの総数はコンパレータ40の一方の入力端子に与えられる。

【0120】カウンタ39は、基本パルスPLSの数をカウントし、そのカウント値をコンパレータ40の他方の入力端子およびコンパレータ37の他方の入力端子に与える。

【0121】コンパレータ40は、カウンタ39のカウント値を1V期間における基本パルスPLSの総数と比較し、カウント値が1V期間における基本パルスPLSの総数と一致したときにインバータ21を介して発光期間開始信号Aを出力するとともに、カウンタ39にリセット信号RSTを与える。それにより、カウンタ39がリセットされる。

【0122】このようにして、インバータ21からは1V期間の開始ごとに図9に示す発光期間開始信号Aが出力される。発光期間開始信号Aはフリップフロップ42にリセット信号RSTとして与えられる。

【0123】コンパレータ37は、カウンタ39のカウント値を1V期間内の発光期間に必要な基本パルスPLSの数と比較し、カウント値が1V期間内の発光期間に必要な基本パルスPLSの数と一致したときに発光期間終了信号Bを出力する。

【0124】このようにして、コンパレータ37からは、各1V期間内の発光期間の終了ごとに図9に示す発光期間終了信号Bが出力される。発光期間終了信号Bはフリップフロップ42にセット信号として与えられる。

【0125】フリップフロップ42は、インバータ21から出力される発光期間開始信号Aによりリセットされ、コンパレータ37から出力される発光期間終了信号Bによりセットされる。これにより、フリップフロップ42から図9に示すパルスブランキング信号PBが出力される。

【0126】このパルスブランキング信号PBは、図9に示すように、発光期間開始信号Aの立ち下がりエッジに同期してハイレベルに立ち上がり、発光期間終了信号Bの立ち上がりエッジに同期してローレベルに立ち下がる。すなわち、パルスブランキング信号PBは、発光期間にハイレベルとなり、パルスブランキング期間にローレベルとなる。

【0127】図6のANDゲート43の一方の入力端子にはフリップフロップ42から出力されるパルスブランキング信号PBが与えられ、他方の入力端子には画像ミ

ュート信号Dが与えられる。ANDゲート43からはパルスブランキング信号PB1が出力される。

【0128】パルスブランキング信号PB1は、図7のANDゲート46の一方の入力端子およびORゲート47の一方の入力端子に与えられる。ANDゲート46の他方の入力端子には、スキャンパルス発生回路44から出力される書き込みパルスPw、維持パルスPsc、消去パルスPeおよび休止パルスPrが与えられる。また、ORゲート47の他方の入力端子には、パネル選択信号PSが与えられる。

【0129】ORゲート47の出力信号はANDゲート48の一方の入力端子に与えられる。ANDゲート48の他方の入力端子には、サステインパルス発生回路45から出力されるサステインパルスPsuが与えられる。

【0130】ANDゲート46の出力信号は、放電制御タイミング信号SCとしてスキンドライバ3に与えられる。ANDゲート48の出力信号は、放電制御タイミング信号SUとしてサステインドライバ4に与えられる。

【0131】画像ミュート信号Dがハイレベルのときには、パルスブランキング信号PBがパルスブランキング信号PB1としてANDゲート43から出力される。発光期間には、パルスブランキング信号PB、PB1がハイレベルになる。それにより、スキャンパルス発生回路44から出力される書き込みパルスPw、維持パルスPsc、消去パルスPeおよび休止パルスPrが放電制御タイミング信号SCとしてスキンドライバ3に与えられ、サステインパルス発生回路45から出力されるサステインパルスPsuが放電制御タイミング信号SUとしてサステインドライバ4に与えられる。

【0132】パルスブランキング期間には、パルスブランキング信号PB、PB1がローレベルになる。この場合、スキンドライバ3にはローレベルの放電制御タイミング信号SCが与えられ、サステインドライバ4にはローレベルの放電制御タイミング信号SUが与えられる。

【0133】一方、画像ミュート信号Dがローレベルになると、パルスブランキング信号PB1もローレベルとなる。この場合、スキンドライバ3にはローレベルの放電制御タイミング信号SCが与えられ、サステインドライバ4にはローレベルの放電制御タイミング信号SUが与えられる。

【0134】このようにして、発光期間にはスキャンパルス発生回路44から出力される書き込みパルスPw、維持パルスPsc、消去パルスPeおよび休止パルスPrが放電制御タイミング信号SCとしてスキンドライバ3に与えられ、サステインパルス発生回路45から出力されるサステインパルスPsuが放電制御タイミング信号SUとしてサステインドライバ4に与えられる。また、パルスブランキング期間には、ローレベルの放電制

御タイミング信号SC, SUがそれぞれスキヤンドライバ3およびサステインドライバ4に与えられる。

【0135】また、画像ミュート信号Dを任意のタイミングでローレベルにすることにより、PDP1aの直前の回路で表示画像をオフすることができる。それにより、チャンネル選局時または信号処理での異常発生時に、映像信号の伝送時間のタイムラグを利用してPDP1aの表示画像を瞬時にオフすることが可能となる。また、PDP1aの未使用時にPDP1aの直前の回路で表示画像をオフすることにより省電力化を図ることが

【0136】パネル選択信号PSがハイレベルの場合には、パルスブランキング信号PB1の状態にかかわらずサステインパルス発生回路45から出力されるサステインパルスP<sub>su</sub>が放電制御タイミング信号SUとしてサステインドライバ4に与えられる。

【0137】この場合、パルスブランキング期間にスキヤン電極12へ休止パルスPrが印加されず、サステイン電極13へはサステインパルスP<sub>su</sub>が印加される。したがって、図2のPDP1aの代わりに図15に示したサステイン電極13が共通に接続されたPDP1を用いることができる。

【0138】図10は発光期間においてPDP1aの各電極に印加される駆動電圧の他の例を示すタイミングチャートである。

【0139】図10の例では、発光期間内の各サブフィールドの維持期間に続く休止期間の一部またはすべてにパルスブランキング期間が設定されている。すなわち、休止期間の一部またはすべての期間において、スキヤン電極12およびサステイン電極13にパルスが印加されず、スキヤン電極12およびサステイン電極13の電圧が所定のレベル（本例では0V）に保たれる。

【0140】それにより、スキヤン電極12およびサステイン電極13での充放電電流がさらに低減され、プラズマディスプレイ装置の消費電力がさらに低減される。

【0141】図11は放電制御タイミング発生回路5の主要部の構成の他の例を示すブロック図である。また、図12は図11の放電制御タイミング発生回路5の各部の信号波形図である。図11には、放電制御タイミング発生回路5の図7に対応する部分が示されている。

【0142】図11のANDゲート51の一方の入力端子には、図6のANDゲート43から出力されるパルスブランキング信号PB1が与えられる。ANDゲート52の一方の入力端子には、パルスブランキング信号PB1の反転信号が入力される。ANDゲート51の他方の入力端子には、スキヤンパルス発生回路44から出力される書き込みパルスP<sub>w</sub>、維持パルスP<sub>sc</sub>、消去パルスP<sub>e</sub>および休止パルスPrが出力信号PSCとして与えられる。また、ANDゲート52の他方の入力端子には、サステインパルス発生回路45から出力されるサ

ティンパルスP<sub>su</sub>が与えられる。

【0143】ANDゲート51の出力信号SCOはORゲート53の一方の入力端子に与えられる。ANDゲート52の出力信号SC1はORゲート53の他方の入力端子に与えられる。

【0144】ORゲート53の出力信号は、放電制御タイミング信号SCとしてスキヤンドライバ3に与えられる。また、サステインパルス発生回路45の出力信号は、放電制御タイミング信号SUとしてサステインドライバ4に与えられる。

【0145】発光期間には、パルスブランキング信号PB1がハイレベルになる。それにより、ANDゲート51の出力信号SCOはスキヤンパルス発生回路44の出力信号PSCと等しくなる。このとき、ANDゲート52の出力信号SC1はローレベルとなる。それにより、ORゲート53の出力信号はスキヤンパルス発生回路44の出力信号PSCと等しくなる。したがって、書き込みパルスP<sub>w</sub>、維持パルスP<sub>sc</sub>、消去パルスP<sub>e</sub>および休止パルスPrが放電制御タイミング信号SCとしてスキヤンドライバ3に与えられる。

【0146】パルスブランキング期間には、パルスブランキング信号PB1がローレベルになる。それにより、ANDゲート51の出力信号SCOはローレベルとなる。また、ANDゲート52の出力信号SC1はサステインパルス発生回路45の出力信号と等しくなる。それにより、ORゲート53の出力信号は、サステインパルス発生回路45の出力信号と等しくなる。したがって、サステインパルスP<sub>su</sub>と同じ位相を有するブランキングパルスP<sub>b</sub>が放電制御タイミング信号SCとしてスキヤンドライバ3に与えられる。

【0147】サステインドライバ4には、サステインパルス発生回路45から出力されるサステインパルスP<sub>su</sub>が常時与えられる。

【0148】このようにして、発光期間にはスキヤンパルス発生回路44から出力される書き込みパルスP<sub>w</sub>、維持パルスP<sub>sc</sub>、消去パルスP<sub>e</sub>および休止パルスPrが放電制御タイミング信号SCとしてスキヤンドライバ3に与えられ、サステインパルス発生回路45から出力されるサステインパルスP<sub>su</sub>が放電制御タイミング信号SUとしてサステインドライバ4に与えられる。また、パルスブランキング期間には、サステインパルス発生回路45から出力されるサステインパルスP<sub>su</sub>が放電制御タイミング信号SUとしてサステインドライバ4に与えられるとともに、サステインパルスP<sub>su</sub>と同じ位相を有するブランキングパルスP<sub>b</sub>が放電制御タイミング信号SCとしてスキヤンドライバ3に与えられる。

【0149】図13は図11の放電制御タイミング発生回路5を用いた場合にサステイン電極およびスキヤン電極に印加される駆動電圧を示すタイミングチャートである。

【0150】図13に示すように、発光期間の最後のサブフィールドSF4の休止期間後にパルスブランキング期間が設定されている。パルスブランキング期間では、サステイン電極13にサステインパルスP<sub>su</sub>が周期的に印加され、スキャン電極12にサステインパルスP<sub>su</sub>と同じ位相のブランキングパルスP<sub>b</sub>が周期的に印加される。

【0151】このように、図13の例では、各フィールドに設定されたパルスブランキング期間において、スキャン電極12およびサステイン電極13の駆動電圧が同じ位相を有し、スキャン電極12とサステイン電極13との間の電位差が一定に保たれる。したがって、スキャン電極12およびサステイン電極13での充放電電流が低減され、プラズマディスプレイ装置全体の消費電力が低減される。

【0152】図11の放電制御タイミング発生回路5を用いた場合には、サステイン電極13に常時サステインパルスP<sub>su</sub>が一定周期で印加されるので、図2のPDP1aの代わりに図15に示したサステイン電極13が共通に接続されたPDP1を用いることができる

【0153】

【発明の効果】本発明に係る表示装置およびその駆動方法によれば、各フィールドに設定された非発光期間において少なくとも第2の電極の電圧が所定のレベルに保たれるかまたは第1の電極と第2の電極との間の電位差が一定に保たれるので、少なくとも第2の電極での充放電電流が低減される。したがって、表示装置の消費電力が低減される。

【0154】また、各フィールドでの発光期間が圧縮されているので、各画素の輝度が確定するまでの発光時間が短縮される。したがって、動画疑似輪隔の発生が低減または防止される。

【0155】特に、各フィールドに設定された非発光期間において第1の電極の電圧が所定のレベルに保たれるかまたは第1の電極と第2の電極との間の電位差が一定に保たれる場合には、第1の電極での充放電電流も低減され、表示装置の消費電力がさらに低減される。

【図面の簡単な説明】

【図1】本発明の一実施例によるプラズマディスプレイ装置の構成を示すブロック図

【図2】図1のプラズマディスプレイ装置の主としてPDPの構成を示すブロック図

【図3】図1のプラズマディスプレイ装置に用いられる圧縮駆動方式を説明するための図

【図4】発光期間においてPDPの各電極に印加される駆動電圧を示すタイミングチャート

【図5】発光期間の最後のサブフィールドおよびパルス

ブランキング期間においてサステイン電極およびスキャン電極に印加される駆動電圧を示すタイミングチャート

【図6】図1の放電制御タイミング発生回路の主要部の構成を示すブロック図

【図7】図1の放電制御タイミング発生回路の主要部の構成を示すブロック図

【図8】基本パルス、サステイン電極に印加される駆動電圧およびスキャン電極に印加される駆動電圧を示す波形図

【図9】発光期間開始信号、発光期間終了信号およびパルスブランキング信号を示す波形図

【図10】発光期間においてPDPの各電極に印加される駆動電圧の他の例を示すタイミングチャート

【図11】放電制御タイミング発生回路の主要部の構成の他の例を示すブロック図

【図12】図11の放電制御タイミング発生回路の各部の信号波形図

【図13】図11の放電制御タイミング発生回路を用いた場合にサステイン電極およびスキャン電極に印加される駆動電圧を示す波形図

【図14】AC型PDPにおける放電セルの駆動方法を説明するための図

【図15】従来のプラズマディスプレイ装置の主としてPDPの構成を示す模式図

【図16】AC型PDPにおける三電極面放電セルの模式的断面図

【図17】ADS方式を説明するための図

【図18】アドレス5サステイン同時駆動方式を説明するための図

【図19】従来のアドレス・サステイン同時駆動方式による各電極の駆動電圧を示すタイミングチャート

【符号の説明】

1, 1a PDP

2 アドレスドライバ

3 スキャンドライバ

4 サステインドライバ

5 放電制御タイミング発生回路

11 アドレス電極

12 スキャン電極

13 サステイン電極

Pw 書き込みパルス

Pe 消去パルス

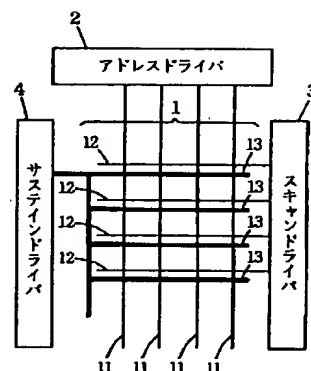
Pr 休止パルス

Psc 維持パルス

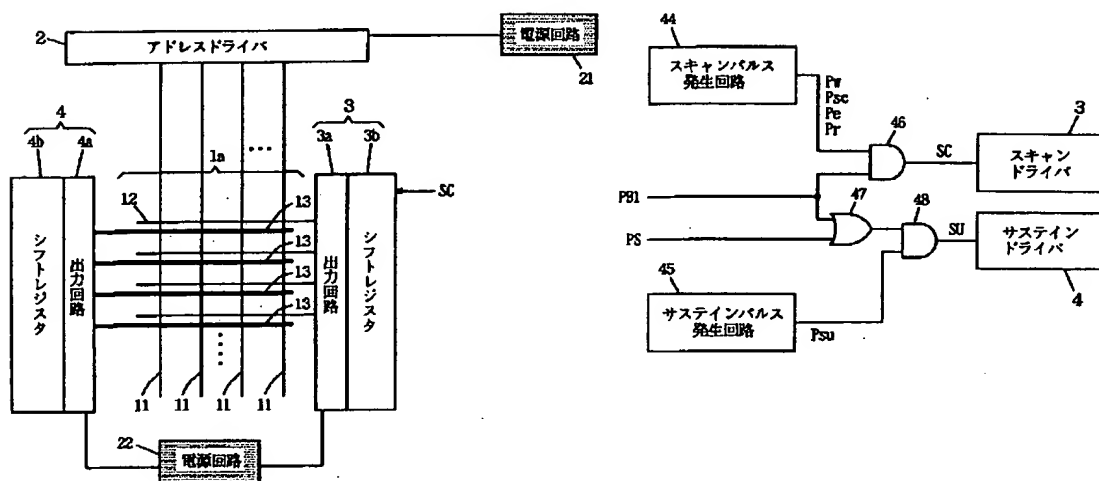
Psu サステインパルス

SC, SU 放電制御タイミング信号

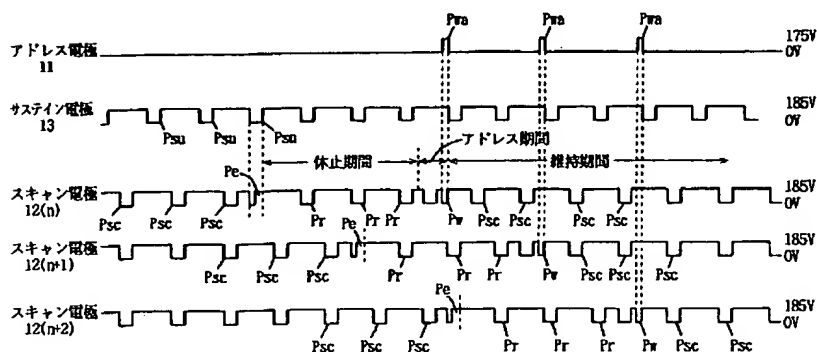
【図 15】



【図 7】

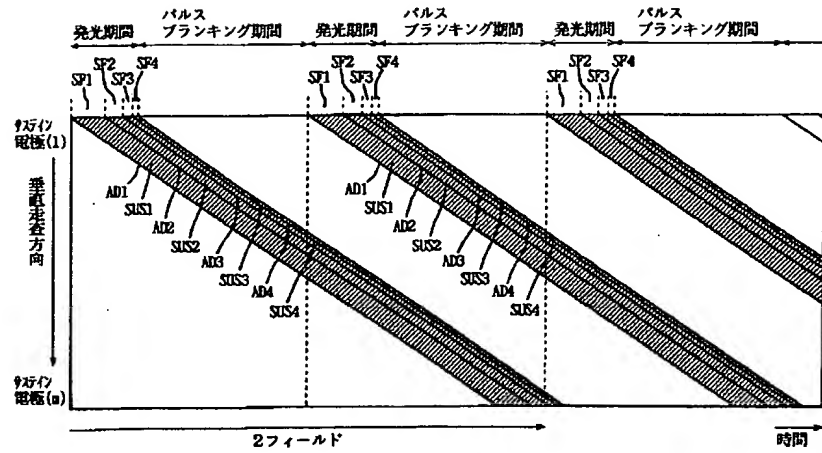


【図4】

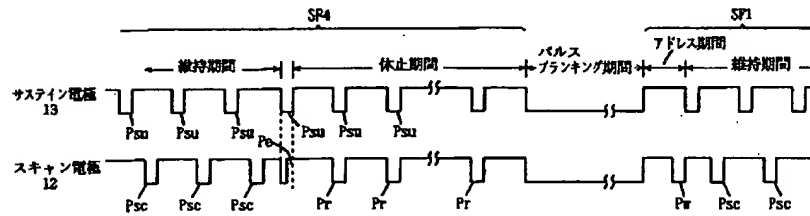




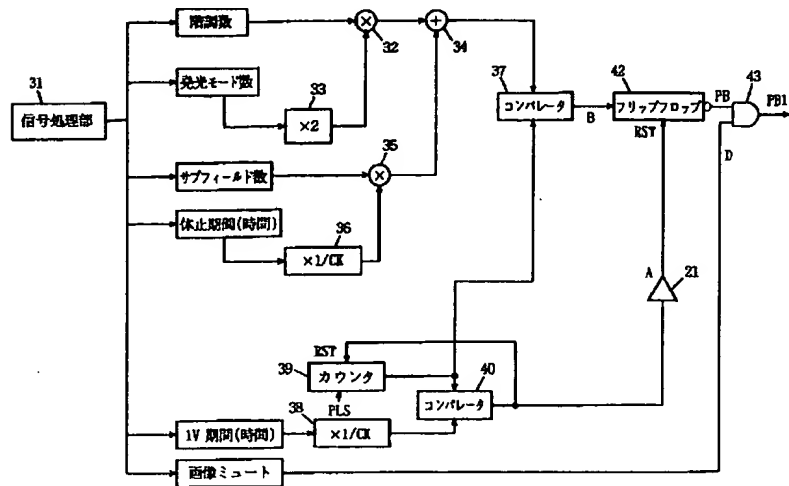
【図 3】



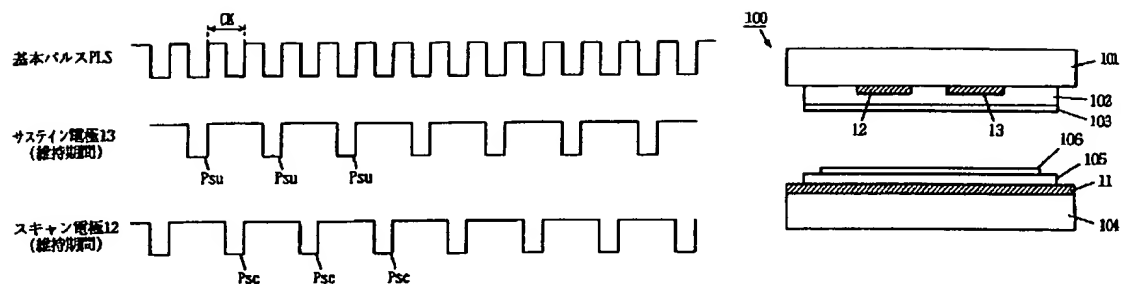
【図 5】



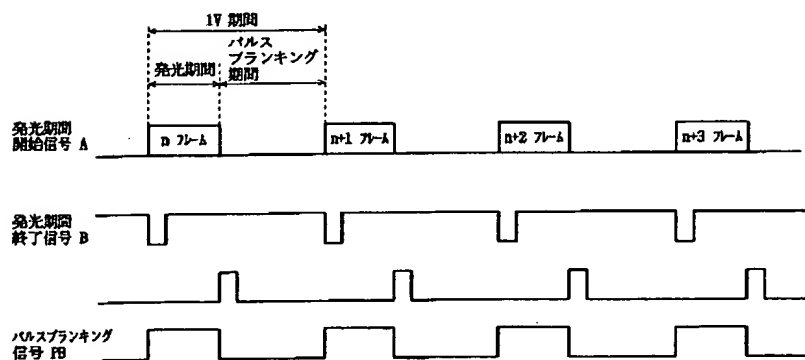
【図 6】



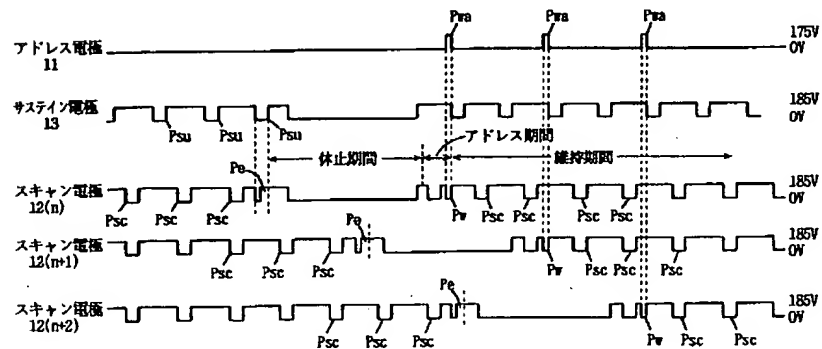
【図 16】



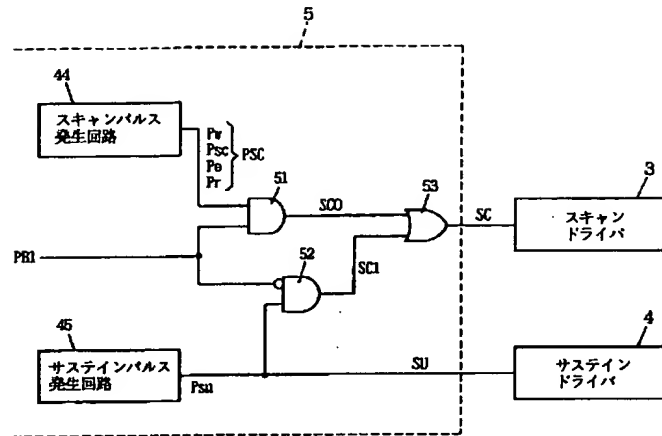
【図9】



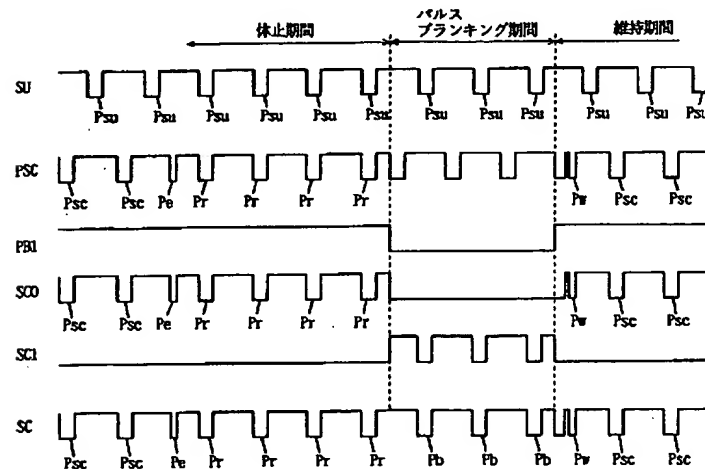
【図 10】



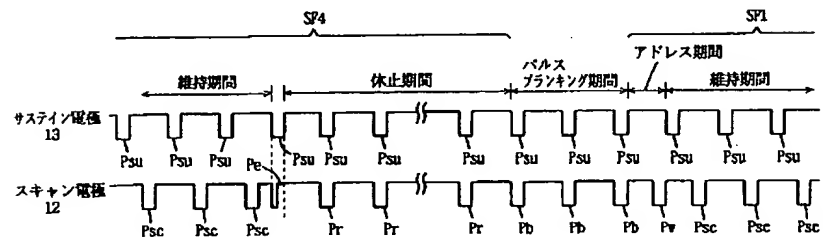
【図 11】



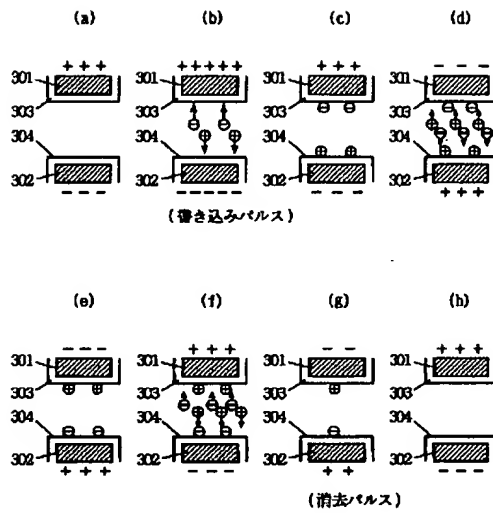
【図 12】



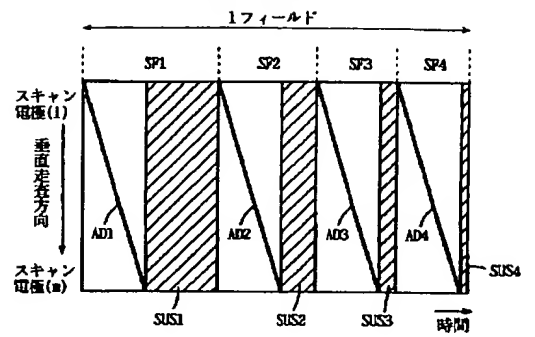
【図 13】



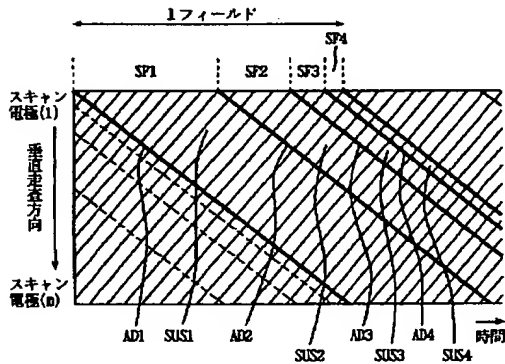
【図 14】



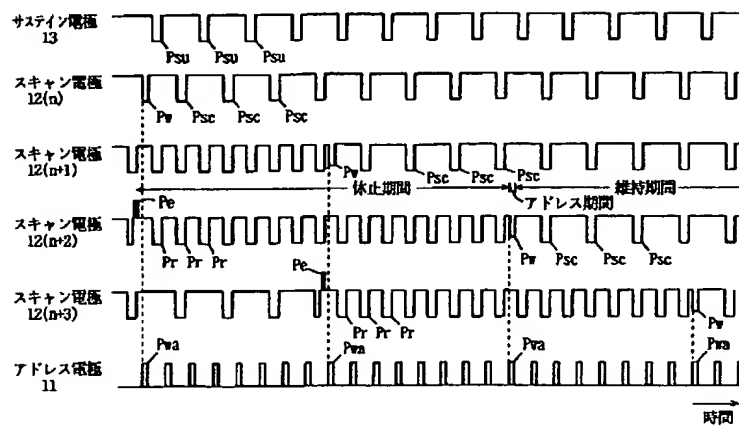
【図 17】



【図 18】



【図 19】



フロントページの続き

(72)発明者 大平 一雄

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 橋口 淳平

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内